

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11297713 A**

(43) Date of publication of application: **29 . 10 . 99**

(51) Int. Cl.

H01L 21/338
H01L 29/812

(21) Application number: **10103002**

(22) Date of filing: **14 . 04 . 98**

(71) Applicant: **FURUKAWA ELECTRIC CO
LTD:THE**

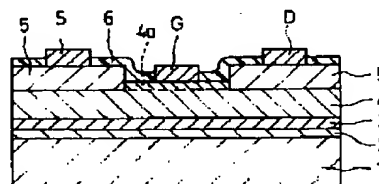
(72) Inventor: **YOSHIDA KIYOTERU**

(54) FIELD EFFECT TRANSISTOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a field effect transistor constituted of a GaN compound semiconductor.

SOLUTION: This field effect transistor provided with a laminated structure of plural semiconductor layers 2, 3, 4 and 5 consisting of a GaN compound semiconductor on a semi-insulating substrate 1 and a gate electrode G, a source electrode S and a drain electrode D is loaded on a surface. In this case, the semiconductor layer loaded with the gate electrode G is a conductive semiconductor layer 4 provided with a diffused layer 4a, where In and C or Mg are diffused at a surface layer part and the semiconductor layer loaded with the source electrode S, and the drain electrode D is the layer 5 consisting of the semiconductor of band gap energy smaller than the one of the semiconductor for constituting the conductive semiconductor layer 4.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297713

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁸

H 0 1 L 21/338
29/812

識別記号

F I

H 0 1 L 29/80

B

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平10-103002

(22) 出願日 平成10年(1998)4月14日

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古
河電気工業株式会社内

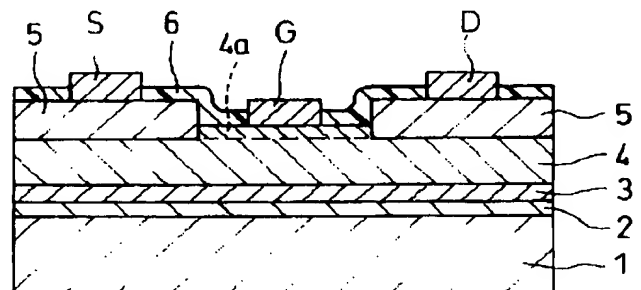
(74) 代理人 弁理士 長門 侃二

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 GaN系化合物半導体で構成されている電界効果トランジスタを提供する。

【解決手段】 半絶縁性基板1の上に、GaN系化合物半導体から成る複数の半導体層2, 3, 4, 5の積層構造を有し、かつ、表面にはゲート電極Gとソース電極Sとドレイン電極Dとが装荷されている電界効果トランジスタであって、ゲート電極Gが装荷されている半導体層は、表層部にInとCまたはMgが拡散している拡散層4aを有する導電性半導体層4であり、ソース電極Sおよびドレイン電極Dが装荷されている半導体層は、導電性半導体層4を構成する半導体よりもバンドギャップエネルギーが小さい半導体から成る層5である。



【特許請求の範囲】

【請求項 1】 半絶縁性基板の上に、GaN 系化合物半導体から成る複数の半導体層の積層構造を有し、かつ、表面にはゲート電極とソース電極とドレイン電極とが装荷されている電界効果トランジスタであって、前記ゲート電極が装荷されている半導体層は、表層部に In と C または Mg が拡散している拡散層を有する導電性半導体層であり、前記ソース電極および前記ドレイン電極が装荷されている半導体層は、前記導電性半導体層を構成する半導体よりもバンドギャップエネルギーが小さい半導体から成る層であることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果トランジスタ (FET) に関し、更に詳しくは、各半導体層は全て GaN 系化合物半導体で形成されていて、ゲート電極とそれが装荷されている半導体層とのショットキー接合、ならびに、ソース電極およびドレイン電極とそれらが装荷されている半導体層とのオーミック接合が実現している新規構造の電界効果トランジスタに関する。

【0002】

【従来の技術】最近、化合物半導体を用いた MES (金属-半導体) 構造の電界効果トランジスタの開発研究が進められており、その場合、用いる化合物半導体としては GaAs 系化合物半導体が主流になっている。この GaAs 系 FET は概ね次のようにして製造されている。まず、サファイア基板のような基板の上に、例えば MOCVD 法により、ノンドープ GaAs 層を半絶縁層として成膜し、更にその上に、例えば Si がドーピングされた n 型 AlGaAs 層を活性層として成膜する。

【0003】 について、この n 型 AlGaAs 層の表面に例えばプラズマ CVD 法で SiO₂ 膜を成膜したのち、この SiO₂ 膜に対しホトリソグラフィとエッチング処理を施してパターニングを行い前記 n 型 AlGaAs 層の上に例えば AuGe/Ni などの金属を蒸着してソース電極とドレイン電極が装荷され、また、前記 SiO₂ 膜の上に例えば Al を蒸着してゲート電極が装荷される。

【0004】 ところで、III-V 族化合物半導体のうち、GaN, AlGaIn, InGaAlN などの GaN 系化合物半導体は、GaAs 系のものに比べて高温動作が可能で、また、そのヘテロ接合界面における不連続バンドが大きいので、これをゲート電極が装荷される半導体層の材料として使用すればその層に高電圧を印加して高電界を形成することができるものと考えられる。

【0005】 しかしながら、ゲート部における良好なショットキー接合 (良好な整流性) とソース部及びドレイン部において良好なオーミック接合性とを形成するための各電極の装荷態様が不明であるため、現在までのとこ

ろ、GaN 系の化合物半導体を用いた MES 型 FET は知られていない。

【0006】

【発明が解決しようとする課題】本発明は、上記した事情に鑑み、GaN 系化合物半導体で構成され、そして整流性 (ショットキー接合) とオーミック接合も良好である新規な電界効果トランジスタの提供を目的とする。

【0007】

【課題を解決するための手段】本発明者は上記した目的を達成するための研究過程で以下の考察を加えた。

(1) 一般に、ゲート部における良好な整流性を得るためには、ゲート電極になる金属材料として仕事関数が高い材料を用いることが必要であり、同時に、ゲート電極が装荷される n 型半導体層の材料としては電子親和力の小さい半導体材料を用いることが必要である。

【0008】 一方、ソース部とドレイン部におけるオーミック接合を良くするためには、ソース電極とドレイン電極になる金属材料として仕事関数が小さい材料を用いることが必要であり、同時に、これら電極が装荷される n 型半導体層の材料としては電子親和力の大きい半導体材料を用いることが必要である。

【0009】 (2) したがって、半導体材料に着目して考えると、ゲート部における n 型半導体層をバンドギャップエネルギーが大きい半導体で構成すればゲート部では小さい電子親和力を実現でき、またソース部とドレイン部における n 型半導体層を、前記ゲート部の半導体よりもバンドギャップエネルギーの小さい半導体で構成すればソース部とドレイン部では大きな電子親和力を実現することができるものと考えられる。

【0010】 (3) 更には、上記したゲート部における n 型半導体層の表層部を極薄の絶縁層にすれば、この上に装荷されるゲート電極と n 型半導体層との界面では良好なショットキー接合が得られるであろう。

(4) 一方、GaN, AlGaIn, AlN, InAlGaN などは、例えば Si をドーパントにすることにより容易に n 型半導体にすることができ、また、C や Mg を高濃度でドーピングすることにより半絶縁化して電氣的に不活性になることが知られている。

【0011】 本発明者は以上の考察を踏まえて鋭意研究を重ねた結果、本発明の電界効果トランジスタを開発することに成功した。すなわち、本発明の電界効果トランジスタは、半絶縁性基板の上に、GaN 系化合物半導体から成る複数の半導体層の積層構造を有し、かつ、表面にはゲート電極とソース電極とドレイン電極とが装荷されている電界効果トランジスタであって、前記ゲート電極が装荷されている半導体層は、表層部に In と C または Mg が拡散している拡散層を有する導電性半導体層であり、前記ソース電極および前記ドレイン電極が装荷されている半導体層は、前記導電性半導体層を構成する半導体よりもバンドギャップエネルギーが小さい半導体か

10

20

30

40

50

ら成る層であることを特徴とする。

【0012】

【発明の実施の形態】以下、本発明のMES型FETをその1例の断面構造を示す図1に基づいて詳細に説明する。このMES型FETは、半絶縁性基板1の上に、バッファ層2、半絶縁性半導体層3、n型半導体層4が順次積層され、前記n型半導体層4の表層部の一部にはInとCまたはMgがドーピングされた拡散層4aが形成され、その上にゲート電極Gが装荷されており、また前記したn型半導体層4の他の箇所にはn型半導体層5、5が積層され、それぞれの上に、ソース電極Sとドレイン電極Dが装荷された構造になっている。そして、各電極以外の部分は、例えばSiO₂膜のような絶縁膜6で被覆されている。

【0013】このMES型FETは、上記した各半導体層がいずれもGaN系化合物半導体から成り、MOCVD法やMOMBE法など公知のエピタキシャル結晶成長法により、前記半絶縁性基板1の上に所定組成のGaN系化合物半導体層を成膜して製造される。ここで、半絶縁性基板1としては、この上に成膜していく各半導体層との間で格子整合している材料から成ることが本来は好ましいが、GaN系に関してはそのような材料は存在しないので、従来から使用されている材料、例えばサファイア、Si単結晶などの半絶縁性材料の基板であればよい。また、バッファ層2としては、GaN層が選択される。

【0014】半絶縁性半導体層3は、例えばGaN, AlGaN, InGaN, InAlGaNなどのGaN系化合物半導体、好ましくはGaNにCやMgをドーピングして成る半絶縁層であり、この上に形成される積層構造に安定したFET特性を発揮させるために設けられる。ドーパントとしてCを使用する場合には、そのドーブ濃度を $1 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ にし、またドーパントとしてMgを使用する場合にはそのドーブ濃度を $5 \times 10^{17} \sim 1 \times 10^{20} \text{cm}^{-3}$ にすることが好ましい。

【0015】この半絶縁性半導体層3の上に成膜されるn型半導体層は、例えば、n型GaN, n型InGaN, n型AlGaN, n型InAlGaNなどで形成される。とくに、Al_xGa_{1-x}N ($0 < x \leq 0.5$) は、バンドギャップエネルギーが大きくなるとともに電子親和力は小さくなるので、後述するように、この上に装荷されるゲート電極Gとの間で良好なショットキー接合を実現できるので好適である。

【0016】このn型半導体層4の成膜に用いるn型ドーパントとしては、例えば金属Si (MBE法の場合) やジシラン (MOCVD法の場合) をあげることができる。このとき、ドーパントのドーピング量を調整して上記n型半導体層4のキャリア濃度を $5 \times 10^{17} \text{cm}^{-3}$ 以下に規制することが好ましい。成膜されたn型半導体層4のキャリア濃度が $5 \times 10^{17} \text{cm}^{-3}$ より高くなると、この

n型半導体層4の上に装荷されるゲート電極Gとの界面における電氣的な障壁の高さ(バリアハイト)が低くなって良好なショットキー接合の実現が困難になるからである。

【0017】このn型半導体層4の表層部は、後述するn型半導体層4の成膜過程の終了直前にInとCまたはMgをドーピングして形成された極めて薄い拡散層4aになっている。ここで、Inは、このn型半導体層4を構成するGaN系化合物半導体の結晶欠陥を低減させるためにドーピングされ、またCやMgは拡散層4aを高抵抗化するためにドーピングされる。

【0018】したがって、この拡散層4aは、結晶欠陥が少なくかつ高抵抗な層となっていて、この拡散層4aが存在しない場合に比べると、この上に装荷されるゲート電極Gとの間でより良好なショットキー接合が実現する。拡散層4aの上記した働きを発揮させるためには、Inのドーブ濃度は $5 \times 10^{18} \sim 1 \times 10^{21} \text{cm}^{-3}$ であることが好ましく、またCやMgのドーブ濃度は $1 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ にすることが好ましい。

【0019】n型半導体層4の上に成膜され、ソース電極Sとドレイン電極Dが装荷されるn型半導体層5、5は、いずれも、前記n型半導体4を構成する半導体よりもバンドギャップエネルギーが小さい半導体で構成されていることが必要である。n型半導体層4を構成する半導体のバンドギャップエネルギーより大きいバンドギャップエネルギーの半導体を用いると、ソース電極Sとドレイン電極D間のチャネルがn型半導体層4の中に形成されず、またこの上に装荷されるソース電極Sとドレイン電極Dとの間で良好なオーミック接合を実現できなくなるからである。

【0020】なお、このn型半導体層5、5を構成する半導体は、前記したn型半導体を構成する半導体と同種類であってもよく、また異種類であってもよい。このn型半導体層5、5の成膜時に用いるn型ドーパントとしては例えば金属Si (MBE法の場合) やジシラン (MOCVD法の場合) をあげることができ、また、そのドーピング量は、当該n型半導体層5、5におけるキャリア濃度が $1 \times 10^{17} \sim 5 \times 10^{18} \text{cm}^{-3}$ となるように調整することが好ましい。

【0021】拡散層4aの上に装荷されるゲート電極Gの材料としては、仕事関数の大きい金属材料が用いられ、例えば、Ir, Re, Pd, Ni, Cr, Ti, Au, Wまたはそれらを組み合わせたものをあげることができる。また、n型半導体層5、5の上に装荷されるソース電極Sとドレイン電極Dの材料としては仕事関数の小さい金属材料が用いられ、例えば、Au, Ag, Si, Ti, Mo, Inまたはそれらを組み合わせたものをあげることができる。

【0022】

【実施例】図1で示したMES型FETをMBE法によ

り次のようにして製造した。まず、半絶縁性のサファイア基板1の上に、Ga源として金属Ga (5×10^{-7} Torr), N源としてジメチルヒドラジン (3×10^{-6} Torr)を用い、成長温度640℃でエピタキシャル成長を行い、厚み200ÅのGa_{0.8}Nバッファ層2を成膜した。ついで、この反応系に更にプラズマガンを用いてラジカル化したCを導入し、前記Ga_{0.8}Nバッファ層2の上に、厚みが1μmである半絶縁性のCドープGa_{0.8}N層3を成膜した。

【0023】ついで、金属Ga (8×10^{-7} Torr), 金属Al (2×10^{-7} Torr), アンモニア (5×10^{-6} Torr)を用い、またn型ドーパントとして金属Si (3×10^{-6} Torr)を用い、成長温度850℃でエピタキシャル成長を行い、厚みが3000Åであり、バンドギャップエネルギーが4.0eVであるn型Al_{0.2}Ga_{0.8}Nの層4を成膜した。このとき、キャリア濃度は 5×10^{17} cm⁻³となるように成膜条件が設定されている。

【0024】上記したn型Al_{0.2}Ga_{0.8}N層4の成膜終了直前に、上記した反応系に、更にプラズマガンを用いてメタンをラジカル化してドーパ量が 5×10^{18} cm⁻³以上となるようにCを導入し、同時に金属Inをドーパ量が 1×10^{19} cm⁻³以上となるように導入して、前記n型Al_{0.2}Ga_{0.8}N層4の上に拡散層4aを成膜して厚み500Åの表層部とした。

【0025】ついで、上記拡散層4aの全面にプラズマCVD法でSiO₂膜6aを成膜し、ホトレジストでパターンニングしたのち、メタンとアルゴンと水素の混合ガス(混合体積比5:7:15)をプラズマ化したもので選択的なドライエッチングを行い、図3で示したように、ゲート電極を装荷すべき箇所を残して他の箇所をn型Al_{0.2}Ga_{0.8}N層4が表出するまでエッチング除去した。

【0026】ついで、金属Ga (1×10^{-6} Torr), アンモニア (5×10^{-6} Torr)を用い、またn型ドーパントとして金属Si (5×10^{-6} Torr)を用い、成長温度900℃で選択成長を行い、図4で示したように、前記したn型Al_{0.2}Ga_{0.8}N層4の表出している面の上に厚みが200Åであり、バンドギャップエネルギーが3.4eVであるn型Ga_{0.8}Nの層5、5を成膜した。このとき、キャリア濃度は 5×10^{18} cm⁻³となるように成膜条件が設定されている。なお、このn型Ga_{0.8}N層5、5の成膜直前に、金属Siのフラックスを 9×10^{-6} Torrまであげて前記n型Ga_{0.8}N層5、5における厚み100Åの表層部5aではキャリア濃度が 1×10^{19} cm⁻³と更に高濃度となるようにした。

【0027】ついで、全面に再びプラズマCVD法でSiO₂膜6bを成膜し、ホトレジストでパターンニングしたのち、ソース電極とドレイン電極を装荷すべき箇所のSiO₂膜6bをフッ酸で選択的にエッチング除去して開口部を形成し、図5で示したように、そこに表層部5

aを表出させた。そして、この表層部5aの上にTi/Alを蒸着したのちリフトオフ処理を行いソース電極Sとドレイン電極Dをそれぞれ装荷した。

【0028】ついで、ゲート電極を装荷すべき箇所のSiO₂膜6b、6aを、メタンとアルゴンと水素の混合ガスを用いたエレクトロサイクロトロンレゾナンス(ESR)プラズマでエッチング除去して開口部を形成し、図6で示したように、その開口部にn型Al_{0.2}Ga_{0.8}N層4の表層部4aを表出させた。そして最後に、この表層部4aの上に、Ti/Ptを蒸着したのちリフトオフ処理を行ってゲート電極Gを装荷して図1で示したMES型FETを製造した。

【0029】このFETに関して特性調査を行った。ソース電極Sとドレイン電極D間のコンタクト抵抗は 1×10^{-6} Ωcm²と低抵抗であり、かつ各電極とn型Ga_{0.8}N層5の間ではオーミック接触の実現していることが確認された。また、ゲート電極Gは良好な整流性を示し、そのときの立ち上がり電圧は1.1Vであった。

【0030】なお、上記した実施例においては、Ga源として金属Gaを例示したが、その他、トリエチルガリウムやトリメチルガリウムなどの有機ガスを用いてもよく、またN源としては、ジメチルヒドラジンやアンモニアの外に、プラズマ窒素やラジカル窒素などを用いてもよい。更にAl源としては、トリエチルアルミニウムやトリメチルアルミニウムなどの有機ガスを用いてもよく、またC源としては、原子状の炭素であってもよい。

【0031】上記の実施例では、n型半導体層4が組成式: Al_xGa_{1-x}Nにおいてx=0.2の場合を例示したが、xは、 $0 < x \leq 0.5$ の範囲内であれば、それで形成されたn型半導体層4は上記した特性を発揮する。

【0032】

【発明の効果】以上の説明で明らかなように、本発明のMES型FETは、用いる半導体材料が全てGa_{0.8}N系化合物半導体であるため、高温動作が可能で高電圧の印加ができる新規な高出力トランジスタとして機能し、その工業的価値は大である。

【図面の簡単な説明】

【図1】本発明の電界効果型トランジスタの断面構造例を示す断面図である。

【図2】基板の上に半導体層を積層した状態を示す断面図である。

【図3】ゲート電極を装荷する箇所以外の拡散層の部分を除去した状態を示す断面図である。

【図4】ソース電極とドレイン電極が装荷される半導体層を成膜した状態を示す断面図である。

【図5】ソース電極とドレイン電極が装荷される半導体層の表層部を表出させた状態を示す断面図である。

【図6】ゲート電極が装荷される半導体層の表層部を表出させた状態を示す断面図である。

【符号の説明】

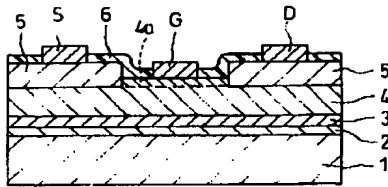
7

8

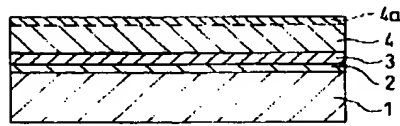
- 1 半絶縁性基板
- 2 バッファ層
- 3 半絶縁性半導体層
- 4 n型半導体層

- * 4 a n型半導体層 4 の表層部 (拡散層)
- 5 n型半導体層
- 5 a n型半導体層 5 の表層部 (キャリア高濃度層)
- * 6, 6 a, 6 b 絶縁膜 (SiO₂膜)

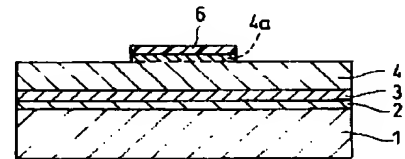
【図 1】



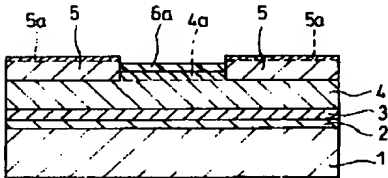
【図 2】



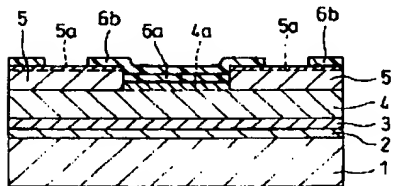
【図 3】



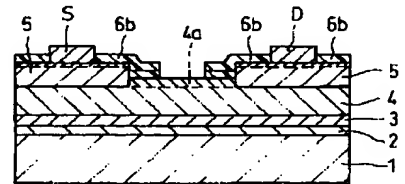
【図 4】



【図 5】



【図 6】



Japanese Patent Laid-open Publication No. HEI 11-297713 A

Publication date : October 29, 1999

Applicant : The Furukawa Electric Co., Ltd.

Title : FIELD EFFECT TRANSISTOR

5

(57) [ABSTRACT]

[PROBLEM TO BE SOLVED] To provide a field effect transistor constituted of a GaN compound semi-conductor.

[SOLUTION] This field effect transistor provided with a
10 laminated structure of a plural semi-conductor layers 2,3,4,
and 5 consisting of a GaN compound semi-conductor on a
semi-insulating substrate 1 and a gate electrode G, a source
electrode S and a drain electrode D is loaded on a surface.
In this case, the semi-conductor layer loaded with the gate
15 electrode G is a conductive semi-conductor layer 4 provided
with a diffused layer 4a, where In and C or Mg are diffused
at a surface layer part and the semi-conductor loaded with
the source electrode S, and the drain electrode D is the layer
5 consisting of the semi-conductor of band gap energy smaller
20 than the one of the semi-conductor for constituting the
conductive semi-conductor layer 4.

[Scope of the Claims]

[Claim 1] A field effect transistor provided with a laminated
25 structure of a plural semi-conductor layers consisting of a

GaN compound semi-conductor layer on a semi-insulating substrate and a gate electrode, a source electrode and a drain electrode is loaded on a surface, wherein,

the semi-conductor layer loaded with said gate electrode
5 is a conductive semi-conductor layer provided with a diffused layer, where In and C or Mg are diffused at a surface layer part and the semi-conductor loaded with said source electrode, and said drain electrode is the layer consisting of the semi-conductor of band gap energy smaller than the one of the
10 semi-conductor for constituting said conductive semi-conductor layer.

[0012]

[Embodiment]

15 In the below, the MES type FET according to the invention will be explained in detail based on the Fig. 1 showing a cross sectional view of one example. The MES type FET is structured so that the buffer layer 2, half-insulation semi-conductor layer 3 and n type semi-conductor layer 4 are sequentially
20 laminated on a semi-insulating substrate 1, a diffusion layer 4a which In and C or Mg are doped is formed on a part of surface layer of said n type semiconductor layer 4, on which a gate electrode G is loaded, and further said n type semiconductor layer 5, 5 are laminated on the other parts of n type
25 semiconductor layer 4, and source electrode S and drain

electrode D are loaded on each layer. And parts other than each electrode are coated with insulation film 6, for example, like SiO_2 film.

[0013]

5 The MES type FET, of which respective said semiconductor layer comprises GaN compound semiconductor, is produced by forming films of GaN compound semiconductor with determined composition on said half-insulating substrate 1 by known epitaxial crystal growth methods such as MOCVD method and MOMBE
10 method. In this case, it is naturally preferable that the half-insulating substrate 1 is made from material of which grids are aligned with the each semiconductor layer forming film on the substrate, however, there exists no such material in terms of GaN, therefore, semi-insulating material substrate
15 such as sapphire, Si single crystal, which are conventionally used, may be applied. And GaN layer is selected as the buffer layer 2.

[0014]

 The half-insulation semi-conductor layer 3 is GaN
20 compound semiconductor such as, for example, GaN, AlGa_N, InGa_N, InAlGa_N, preferably which is formed by doping C and Mg in GaN, and is provided so that the laminated structure formed thereon can make full use of the stable FET property. It is preferable that the dope concentration is 1×10^{18} to $1 \times 10^{20} \text{cm}^{-3}$ when using
25 C as a dopant, and 5×10^{17} to $1 \times 10^{20} \text{cm}^{-3}$ when using Mg as a dopant.

[0015]

The n type semiconductor layer formed on this semi-insulating semiconductor layer 3 is formed with, for example, n type GaN, n type InGaN, n type AlGa_N, n type InAlGa_N.

5 In particular, band gap energy of Al_xGa_{1-x}N ($0 < x \leq 0.5$) becomes large as affinity becomes small, therefore, as described later, is suitable because good Schottky junction with the gate electrode G loaded on this can be achieved.

[0016]

10 As n type dopant used for forming this n type semiconductor layer 4, for example, metal Si (in case of MBE method) and disilane (MOCVD method) can be listed. At this time, it is preferable to limit the carrier concentration of the above-mentioned n type semiconductor layer 4 to below $5 \times 10^{17} \text{cm}^{-3}$
15 by adjusting the doping amount of dopant. This is because the height of the electrical barrier (barrier height) on the interface with gate electrode G loaded on the n type semiconductor layer 4 lowers if the carrier concentration of the formed n type semiconductor layer 4 is higher than $5 \times$
20 10^{17}cm^{-3} , resulting that it becomes difficult to realize good Schottky junction.